

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Joachim Schnabel, et al.

Serial No.: 10/761,127

Filed: January 20, 2004

Confirmation No.: 8829

For: METHOD AND REGULATING
CIRCUIT FOR REFRESHING
DYNAMIC MEMORY CELLS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

~~~~~

Group Art Unit: 2186

Examiner: UNKNOWN

**CERTIFICATE OF MAILING**  
37 CFR 1.8

I hereby certify that this correspondence is being deposited on  
May 7, 2004 with the United States Postal  
Service as First Class Mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450 Alexandria, VA  
22313-1450.

May 7, 2004 Date [Signature] Signature

**CLAIM TO PRIORITY**

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number DE 103 02 292.9-53 filed 22 January, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

Gero G. McClellan  
Registration No. 44,227  
MOSER, PATTERSON & SHERIDAN, L.L.P.  
3040 Post Oak Blvd. Suite 1500  
Houston, TX 77056  
Telephone: (713) 623-4844  
Facsimile: (713) 623-4846  
Agent for Applicant(s)



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 02 292.9

**Anmeldetag:** 22. Januar 2003

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** Verfahren und Regelschaltung zum Auffrischen von  
dynamischen Speicherzellen

**IPC:** G 11 C 11/406

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 19. Januar 2004  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

Klostermeyer

## Beschreibung

## Verfahren und Regelschaltung zum Auffrischen von dynamischen Speicherzellen

5

Die Erfindung betrifft ein Verfahren zum Auffrischen von dynamischen Speicherzellen, sowie eine Regelschaltung zum Regeln der Wiederholungsrate des Auffrischvorgangs von dynamischen Speicherzellen.

10

Speicherzellen einer dynamischen Speicherschaltung speichern Information in Form von Ladungen in Kondensatoren, die in integrierter Form in einer Halbleiterschaltung aufgebaut sind. Durch Leckströme verlieren die Kondensatoren ihre Ladung, wodurch die Information nach einer Datenhaltezeit (Retention) verloren geht. Die Datenhaltezeit ist die maximale Zeit, nach der der Inhalt einer Speicherzelle noch korrekt ausgelesen werden kann.

15

20

Um die Informationen dauerhaft zu speichern, müssen die dynamischen Speicherzellen daher in regelmäßigen Abständen mit einer Auffrischfrequenz aufgefrischt werden, d.h. mit der darin gespeicherten Information erneut beschrieben werden, so dass die Information nicht verloren geht.

25

Die Periodendauer der Auffrischfrequenz, mit der die Speicherzelle aufgefrischt werden muss, hängt erheblich von der Betriebstemperatur und der Qualität des Herstellungsprozesses ab. Denn beide Faktoren beeinflussen die Datenhaltezeit.

30

Im sogenannten Self-Refresh-Modus eines DRAMs werden die Speicherzelle automatisch ohne äußere Steuersignale durch interne Logik aufgefrischt. Dabei ist es wünschenswert, dass der Stromverbrauch des DRAMs minimal ist. Eine wesentliche Maßnahme, dies zu erreichen besteht darin, dass der Zeitabstand zwischen den einzelnen Auffrischzyklen so groß wie möglich gewählt wird.

35

Es ist daher Aufgabe der vorliegenden Erfindung ein Verfahren zum Auffrischen von dynamischen Speicherzellen sowie eine Regelschaltung zum Einstellen der Auffrischfrequenz zur Verfügung zu stellen, wobei der Stromverbrauch der Speicherschaltung minimiert wird.

Diese Aufgabe wird durch das Verfahren zum Auffrischen von dynamischen Speicherzellen nach Anspruch 1, sowie durch die Regelschaltung zum Einstellen der Auffrischfrequenz nach Anspruch 8 gelöst.

Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zum Auffrischen von dynamischen Speicherzellen, die entlang von Wortleitungen und Bitleitung angeordnet sind, vorgesehen. Die Speicherzellen werden abhängig von einem Auffrischsignal mit einer Auffrischfrequenz aufgefrischt, indem die Wortleitung aktiviert wird, um die jeweilige Information in den an der betreffenden Wortleitung angeordneten Speicherzellen zurückzuschreiben. Erfindungsgemäß wird die Auffrischfrequenz abhängig von dem Ladungsverlust von ersten Dummy-Speicherzellen, die an einer ersten Dummy-Wortleitung angeordnet sind, während einer Auffrischperiode des Auffrischsignals und/oder abhängig von dem Ladungsverlust von zweiten Dummy-Speicherzellen, die an einer zweiten Dummy-Wortleitung angeordnet sind, während der Auffrischperiode des Auffrischsignals eingestellt.

Das erfindungsgemäße Verfahren hat den Vorteil, dass die Auffrischfrequenz des Auffrischsignals abhängig von den Leckströmen, durch die die Ladungsinformation von den Speicherzellen abfließt, eingestellt werden kann. Auf diese Weise ist es möglich, die Auffrischfrequenz in jedem Speicherbaustein individuell so einzustellen, dass die Auffrischfrequenz gera-

de ausreichend ist, um die Informationen in den Speicherzellen sicher zu halten und dass gleichzeitig der Stromverbrauch so niedrig wie möglich ist. Dies wird erreicht, indem die Auffrischfrequenz abhängig von den durchschnittlichen Ladungsverlusten von ersten bzw. zweiten Dummy-Speicherzellen während einer Auffrischperiode gewählt wird. Bewirkt der Herstellungsprozess der Speicherschaltung geringe Leckströme, durch die die Ladungen von bzw. zu den Speicherzellen fließen, so kann die Auffrischfrequenz verringert und damit der Stromverbrauch der Speicherschaltung minimiert werden. Fließen aufgrund des Herstellungsprozesses in der Speicherschaltung hohe Leckströme, so wird die Auffrischfrequenz erhöht, bis die Informationen in den Speicherzellen sicher gehalten werden kann. Auf diese Weise kann sicher gestellt werden, dass abhängig von der Betriebstemperatur und/oder von den aufgrund vielfältiger Parameter des Herstellungsprozesses resultierenden Leckströmen die Auffrischfrequenz jeder Speicherschaltung gerade so gewählt ist, dass ein geringst möglicher Stromverbrauch erreicht wird.

Dadurch, dass an einer Wortleitung mehrere erste bzw. zweite Dummy-Speicherzellen angeordnet sind, werden Unterschiede bezüglich der Leckströme und der Ladungsspeicherkapazität zwischen den Dummy-Speicherzellen über eine größere Chipfläche im Wesentlichen ausgemittelt, so dass sich die Auffrischfrequenz an einem Leckstromverhalten einer durchschnittlichen Speicherzelle der betreffenden Speicherschaltung orientiert.

Es kann vorgesehen sein, dass die Auffrischfrequenz erhöht wird, wenn der Ladungsverlust der ersten Dummy-Speicherzellen größer ist als ein bestimmter erster Ladungsbetrag oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen größer ist als ein bestimmter zweiter Ladungsbetrag. Auf diese Weise kann durch Vorgeben eines bestimmten ersten, bzw. zweiten Ladungsbetrages ein maximaler zulässiger Ladungsverlust vorgegeben werden. Geht der Ladungsverlust der Speicherzellen über

den bestimmten ersten bzw. zweiten Ladungsbetrag hinaus, so muss die Auffrischfrequenz wieder erhöht werden.

Vorzugsweise kann vorgesehen sein, dass zur Ermittlung, ob  
5 der Ladungsverlust der ersten und/oder der zweiten Dummy-Speicherzellen größer ist als ein bestimmter erster und/oder zweiter Ladungsbetrag, zunächst die Dummy-Speicherzellen auf ein Spannungspotential aufgeladen werden. Anschließend wird die entsprechende Wortleitung deaktiviert, um die Dummy-  
10 Speicherzellen von einer gemeinsamen Bitleitung zu trennen. Danach kann die gemeinsame Bitleitung auf ein Mittenpotential aufgeladen werden. Anschließend die Wortleitung nach der Zeitdauer einer Auffrischperiode aktiviert, um die Dummy-Speicherzellen mit der gemeinsamen Bitleitung zu verbinden.  
15 Das auf der Bitleitung nach Aufschalten der Dummy-Speicherzellen befindliche Potential wird anschließend mit einem Referenzpotential verglichen. Das Referenzpotential bestimmt den bestimmten ersten bzw. zweiten Ladungsbetrag und zeigt bei Über- bzw. Unterschreiten der durch das Referenzpotential vorgegebenen Spannungsschwelle an, ob der Ladungsver-  
20 lust größer ist als der bestimmte erste bzw. zweite Ladungsbetrag.

Vorzugsweise wird die Auffrischfrequenz durch Herunterteilen  
25 einer Grundfrequenz gemäß einem einstellbaren Frequenzteiler gebildet. Dies hat den Vorteil, dass auf einfache Weise verschiedene Auffrischfrequenzen bereitgestellt werden können.

Vorzugsweise ist vorgesehen, dass der Teilerfaktor des Frequenzteilers inkrementell, d.h. um einen vorbestimmten Wert,  
30 erhöht wird, wenn der Ladungsverlust der ersten Dummy-Speicherzelle größer ist als der erste Ladungsbetrag, oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen größer ist als der zweite Ladungsbetrag.

35

Vorzugsweise ist ebenso vorgesehen, dass ein Teilerfaktor des Frequenzteilers inkrementell, d.h. um einen vorbestimmten

Wert, vermindert wird, wenn der Ladungsverlust der ersten Dummy-Speicherzellen geringer ist als der erste Ladungsbetrag, oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen geringer ist als der zweite Ladungsbetrag. Auf diese Weise kann eine Regelung vorgesehen werden, die den Teilerfaktor für den Frequenzteiler so einstellt, dass die Auffrischfrequenz im Bereich der für die jeweilige Speicherschaltung optimalen Auffrischfrequenz gewählt wird. Dies wird so erreicht, indem ein durch ein Referenzpotential vorgegebener, maximal zulässiger Ladungsverlust vorgegeben wird und nach Erreichen des maximal zulässigen Ladungsverlusts keine weitere Verminderung der Auffrischfrequenz erfolgt.

Vorzugsweise ist der erste und/oder der zweite Ladungsbetrag so gewählt, dass bei einem Überschreiten des entsprechenden Ladungsbetrags die Speicherzellen durch das Auffrischen der durch ein Inkrement verminderten Teilerfaktors im Wesentlichen ihre gespeicherte Informationen beibehalten. Auf diese Weise ist der maximal zulässige Ladungsverlust so gewählt, dass selbst bei Überschreiten des maximal zulässigen Ladungsverlustes durch eine Verminderung der Auffrischfrequenz entsprechend einer Änderung des Teilerfaktors um ein Inkrement keine Information in den Speicherzellen verloren geht.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Regelschaltung zum Einstellen der Auffrischfrequenz in einer dynamischen Speicherschaltung mit Speicherzellen vorgesehen, die entlang von Wortleitungen und Bitleitungen angeordnet sind. Eine Auffrischschaltung ist vorgesehen, um die Speicherzellen mit einem Auffrischsignal mit einer Auffrischfrequenz aufzufrischen. An einer ersten Wortleitung sind erste Dummy-Speicherzellen und an einer zweiten Wortleitung sind zweite Dummy-Speicherzelle angeordnet. Die ersten Dummy-Speicherzellen können durch Aktivieren der ersten Wortleitung mit einer ersten gemeinsamen Bitleitung, und die zweiten Dummy-Speicherzelle durch Aktivieren der zweiten Wortleitung mit einer zweiten gemeinsamen Bitleitung verbunden werden. Es ist

weiterhin eine Regeleinheit vorgesehen, um die Auffrischfrequenz des Auffrischsignals vorzugeben, wobei die Auffrischfrequenz abhängig von einem Ladungsverlust der ersten Dummy-Speicherzellen während einer Auffrischperiode an der ersten  
5 Dummy-Wortleitung und/oder abhängig von dem Ladungsverlust der zweiten Dummy-Speicherzellen während der Auffrischperiode an der zweiten Dummy-Wortleitung einstellbar ist.

Die erfindungsgemäße Regelschaltung hat den Vorteil, dass die  
10 Auffrischfrequenz in einer dynamischen Speicherschaltung so gering wie möglich eingestellt werden kann, indem abhängig von dem durchschnittlichen Leckstromverhalten der Speicherzellen die Auffrischfrequenz verändert wird. Dies wird so durchgeführt, indem Dummy-Speicherzellen vorgesehen werden,  
15 deren Leckstromverhalten bei der jeweils eingestellten Auffrischfrequenz überprüft wird und die Auffrischfrequenz abhängig von dem Ladungsverlust in den Dummy-Speicherzellen eingestellt wird.

20 Es kann vorgesehen sein, dass die Regelschaltung eine Steuereinheit aufweist, um Aktivierungssignale für die erste und zweiten Dummy-Wortleitung bereitzustellen, so dass abhängig von dem jeweiligen Aktivierungssignal die Speicherzellen mit der jeweiligen gemeinsamen Bitleitung verbunden werden. Die  
25 Steuereinheit stellt weiterhin ein Vorladungssignal zur Verfügung, dass eine Aufladung der ersten gemeinsamen Bitleitung auf ein erstes Potential und eine Aufladung der zweiten gemeinsamen Bitleitung auf ein zweites Potential bewirkt. Vorzugsweise kann die Steuereinheit das Aktivieren der jeweiligen  
30 Dummy-Wortleitung durch das jeweilige Aktivierungssignal und das Aktivieren das Vorladungssignal nach jeweils einer Auffrischperiode durchführen, so dass der Ladungsverlust durch Leckströme in den Dummy-Speicherzelle während jeweils genau einer Auffrischperiode ermittelt werden kann.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

- 5    Figur 1 ein Blockschaltbild gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung; und  
    Figur 2 ein Signal-Zeitdiagramm für die von der Steuereinheit generierten Steuersignale.
- 10   In Figur 1 ist eine Auffrischschaltung 1 zum Auffrischen von dynamischen Speicherzellen in einem Speicherzellenfeld 2 dargestellt. Dynamische Speicherzellen sind entlang von Wortleitungen WL und Bitleitungen BL angeordnet und müssen in regelmäßigen Zeitabständen aufgefrischt werden, um die in ihnen  
15   gespeicherte Information nicht zu verlieren. Dynamische Speicherzellen werden aufgefrischt, indem die jeweilige Wortleitung aktiviert wird, so dass die Ladungsinformation von einer Speicherkapazität auf die jeweilige Bitleitung fließt. Mit Hilfe von Ausleseverstärkern (nicht gezeigt) wird ein durch  
20   die Ladungsinformation bewirkter Ladungsunterschied zwischen der Bitleitung BL zu einer benachbarten Bitleitung BL detektiert und verstärkt, so dass die Ladungsinformation erneut in die noch immer über die aktivierte Wortleitung WL angeschlossene Speicherzelle zurückgeschrieben wird. Danach wird die  
25   betreffende Wortleitung deaktiviert und die Ladung in der Speicherzelle ist aufgefrischt.

- Das Auswählen der jeweils zu aktivierenden Wortleitung WL wird in einem Adressdecodierer 3 durchgeführt, an den aufeinander folgend Wortleitungsadressen WA, die von der Auffrischschaltung 1 generiert werden, angelegt werden. Die Wortleitungsadressen WA ist im Wesentlichen periodisch hochgezählt, wobei eine Auffrischperiode im Wesentlichen der Zeitdauer entspricht, die für das Durchlaufen aller Wortleitungsadressen WA mithilfe des Auffrischsignals benötigt wird. Die Auffrischperiode gibt also an, in welcher Häufigkeit jede der  
30  
35

Speicherzellen an einer Wortleitung zyklisch aufgefrischt werden.

Die Auffrischschialtung weist einen Oszillator 4 auf, der eine Grundfrequenz zur Verfügung stellt. Die Grundfrequenz des Oszillators 4 wird in einem Frequenzteiler 5 gemäß einem vorgegebenen Teilerfaktor geteilt und das so entstehende Auffrischsignal einem Auffrisch-Adressenzähler 6 zur Verfügung gestellt. Der Auffrisch-Adressenzähler 6 generiert die Wortleitungsadresse WA für die zum Auffrischen vorgesehenen Speicherzellen an einer bestimmten Wortleitung. Durch Vorgeben des Teilerfaktors für den Frequenzteiler 5 kann die Zeitdauer der Auffrischperiode verändert werden.

Zum Einstellen des Teilerfaktors ist eine Regelschialtung 7 vorgesehen. Die Regelschialtung 7 weist eine erste Dummy-Wortleitung 8 auf, an der erste Dummy-Speicherzellen 9 angeordnet sind. Die ersten Dummy-Speicherzellen 9 weisen jeweils einen Speicherkondensator C und einen Auswahltransistor T auf. Die Steuereingänge der Auswahltransistoren T sind mit der ersten Dummy-Wortleitung 8 verbunden, so dass ein erstes Aktivierungssignal DWL0 die Auswahltransistoren T durchschaltet und ein Anschluss der Speicherkondensatoren C mit einer gemeinsamen ersten Bitleitung 10 verbindet.

Auf gleiche Weise ist eine zweite Dummy-Wortleitung 11 vorgesehen, die zweite Dummy-Speicherzellen 12 ansteuern kann. Durch Aktivieren der zweiten Dummy-Wortleitung 11 mithilfe eines zweiten Aktivierungssignals DWL1 können die entsprechenden Auswahltransistoren T der zweiten Dummy-Speicherschaltung durchgeschaltet werden, so dass die Ladungen der Speicherkondensatoren C der zweiten Dummy-Speicherzellen 12 auf eine gemeinsame zweite Bitleitung 13 fließen können.

Mit der ersten Bitleitung 10 ist ein erster Anschluss eines ersten Vorladungstransistors 14 verbunden. Ein zweiter An-

schluss des ersten Vorladungstransistors 14 ist mit dem Massepotential GND verbunden. An den Steueranschluss des ersten Vorladungstransistors 14 ist ein Vorladungssignal PC angelegt, so dass gemäß dem Vorladungssignal PC der Vorladungstransistor 14 durchgeschaltet werden kann, um das Massepotential GND an die gemeinsame erste Bitleitung anzulegen.

Es ist ein zweiter Vorladungstransistor 15 vorgesehen, dessen erster Anschluss mit der zweiten Bitleitung 13 verbunden ist. Ein zweiter Anschluss des zweiten Vorladungstransistors 15 ist mit einem hohen Vorladungspotential VBLH verbunden. An einem Steuereingang des zweiten Vorladungstransistors 15 liegt ebenfalls das Vorladungssignal PC an, mit dem der zweite Vorladungstransistor 15 durchgeschaltet werden kann, um das hohe Vorladungspotential an die zweite Bitleitung 13 anzulegen.

Die erste gemeinsame Bitleitung 10 ist mit einem invertierenden Eingang einer ersten Vergleicherschaltung 16 verbunden. An einem nicht invertierenden Eingang der ersten Vergleicherschaltung 16 ist ein erstes Referenzpotential Vref0 angelegt.

Es ist eine zweite Vergleicherschaltung 17 vorgesehen, an dessen nicht invertierenden Eingang die zweite gemeinsame Bitleitung 13 angelegt ist. An den invertierenden Eingang der zweiten Vergleicherschaltung 17 ist ein zweites Referenzpotential Vref1 angelegt.

Ausgänge der ersten und der zweiten Vergleicherschaltung 14, 17 sind an Eingänge eines ersten UND-Gatters 18 und an Eingänge eines NICHT-UND-Gatters 19 angelegt. Der Ausgang des ersten UND-Gatters 18 ist mit einem Eingang eines zweiten UND-Gatters 20 verbunden. Ein Ausgang des NICHT-UND-Gatters 19 ist mit einem Eingang eines dritten UND-Gatters 21 verbunden. An weiteren Eingängen des zweiten UND-Gatters 20 und des dritten UND-Gatters 21 ist ein Torsignal TS angelegt, das von einer Steuereinheit 22 generiert wird.

Ein Ausgang des zweiten UND-Gatters 20 ist mit einem Vorwärtseingang eines Zählers 23 verbunden und bewirkt, dass der Zähler inkrementiert wird. Ein Ausgang des dritten UND-Gatters 21 ist mit einem Rückwärtseingang des Zählers 23 verbunden und bewirkt, dass der Zählerwert dekrementiert wird. Das Torsignal TS ist in Form eines Pulses ausgebildet und bestimmt den Zeitpunkt, zu dem das Vorwärts- und Rückwärtszählen des Zählers 23 gemäß dem an den Ausgängen des ersten UND-Gatters 18 und des NICHT-ODER-Gatters 19 anliegenden Signalen durchgeführt werden soll.

Die Steuereinheit 22 dient dazu, das Torsignal TS zur Verfügung zu stellen, demgemäß der Zähler 23 vorwärts oder rückwärts gezählt wird. Das Vorwärts- und Rückwärtszählen wird durch die Ausgänge des ersten UND-Gatters 18 oder des NICHT-UND-Gatters 19 bzw. durch die Ausgänge der ersten und zweiten Vergleicherschaltung 16, 17 bestimmt.

Die Steuereinheit 22 generiert weiterhin das erste und zweite Aktivierungssignal DWL0, DWL1 um die Auswahltransistoren T der ersten und zweiten Dummy-Speicherzellen 9, 12 zu aktivieren. Ferner wird durch Steuereinheit 22 das Vorladungssignal PC generiert, mit dessen Hilfe die Vorladungstransistoren 14, 15 durchgeschaltet werden, um somit die gemeinsamen Bitleitungen 10, 13 und die daran anliegenden Dummy-Speicherzellen 9, 12 auf das jeweilige Potential, nämlich die zweiten Dummy-Speicherzellen auf das hohe Vorladungspotential VBLH bzw. die ersten Dummy-Speicherzellen 9 auf das Massepotential GND vorzuladen. Als Eingang erhält die Steuereinheit 22 die jeweiligen Wortleitungsadressen WA von dem Auffrischzähler 6.

Die Regelschaltung 7 hat die Aufgabe, einen Ladungsverlust durch Leckströme in den Dummy-Speicherzellen zu bewerten. Als Ergebnis soll ein Zähler 23, in dem ein Teilerfaktor zum Teilen einer Grundfrequenz zur Verfügung gestellt wird, durch Inkrementieren oder Dekrementieren so eingestellt werden,

dass eine optimale Auffrischfrequenz gewählt ist, bei der keine Information in den Speicherzellen des Speicherzellenfeldes 2 verloren geht und bei der der Stromverbrauch der Speicherschaltung im Wesentlichen minimiert ist.

5

Gesteuert durch die Steuereinheit 22 werden also zu Beginn einer Auffrischperiode die ersten Dummy-Speicherzellen 9 auf das Massepotential GND und die zweiten Dummy-Speicherzellen 12 auf das hohe Vorladungspotential VBLH aufgeladen. Das Aufladen der Dummy-Speicherzellen 9, 12 erfolgt durch ein Aktivieren des Vorladungssignals PC und durch Anlegen der ersten und zweiten Aktivierungssignals DWL0, DWL1 an die erste und zweite Dummy-Wortleitung 8, 11, so dass die Vorladungstransistoren 14, 15 und die Auswahltransistoren T durchgeschaltet sind. Anschließend werden sowohl die Vorladungstransistoren 14, 15 als auch die Auswahltransistoren T gesperrt, so dass die Ladung in den Speicherkondensatoren C gespeichert bleibt.

20

Nach der darauffolgenden Auffrischperiode werden die Auswahltransistoren T durchgeschaltet, jedoch nicht die Vorladungstransistoren 14, 15, so dass eine durch die Ladung der Speicherzellen bestimmtes Ladungspotential auf der ersten bzw. zweiten Bitleitung 10, 13 als erstes bzw. zweites Bitleitungspotential VBL0, VBL1 anliegt. Dabei mitteln sich jeweils die durch unterschiedliche Leckströme unterschiedliche resultierende Ladungen der ersten Dummy-Speicherzellen 9 und der zweiten Dummy-Speicherzellen 12 aus. Das den jeweiligen Ladungen entsprechende erste Bitleitungspotential VBL0 auf der ersten Bitleitung 10 wird der ersten Vergleicherschaltung 16 zugeführt. Dort wird es mit einem ersten Referenzpotential Vref0 verglichen.

25

30

Wenn die ersten Dummy-Speicherzellen 9 auf das Massepotential GND aufgeladen wurden, so steigen nach Trennen von der ersten gemeinsamen Bitleitung 10 deren Ladungspotentiale durch Leckströme über die Zeit an und nähern sich einem Mittenpotential, das durch die Speicherzellenstruktur bestimmt ist und üb-

35

licherweise etwa in der Mitte zwischen dem hohen Vorladungspotential VBLH und dem Massepotential GND liegt. Um die Information in den ersten Dummy-Speicherzellen 9 noch richtig interpretieren zu können, müssen die Ladungspotentiale der Speicher kondensatoren C einen ausreichenden Abstand zu dem Mittenpotential haben, damit die in den ersten Dummy-Speicherzellen 9 gespeicherten Informationen noch auf richtige Weise ausgelesen werden können. Dazu ist ein bestimmter Potentialabstand des ersten Bitleitungspotentials VBL0 zu dem Mittenpotential erforderlich. Wie viel Ladung die ersten Dummy-Speicherzellen 9 verlieren dürfen, ohne dass deren Information verloren geht, wird durch das erste Referenzspannungspotential Vref0 festgelegt. Das erste Referenzspannungspotential Vref0 gibt eine obere Schwelle eines Potentials an, bei dem die Spannung der ersten gemeinsamen Bitleitung 10 bei Aufschalten aller Dummy-Speicherzellen 9 maximal liegen darf, ohne dass eine Verkürzung der Auffrischperiode bzw. eine Erhöhung der Auffrischfrequenz erfolgen muss.

Auf analoge Weise verlieren die zweiten Dummy-Speicherzellen 12 ihr jeweiliges gespeichertes Ladungspotential während der Auffrischperiode. Das zweite Bitleitungspotential VBL1 muss nach dem Durchschalten der jeweiligen Auswahltransistoren T entsprechend dem zweiten Referenzspannungswert Vref1 um einen gewissen Betrag über dem Mittenpotential liegen, so dass die gespeicherten Informationen in den übrigen Speicherzellen des Speicherzellenfeldes 2 noch auf die richtige Weise auslesbar sind. Das zweite Referenzspannungspotential Vref1 gibt also eine untere Schwelle des zweiten Bitleitungspotentials VBL1 an, bis zu dem das Potential auf der zweiten Bitleitung 13 nach einer Auffrischperiode abgefallen sein darf, ohne dass die Auffrischfrequenz erhöht werden muss.

Die Ausgänge der Vergleicherschaltungen 16, 17 geben also an, ob die nach Aufschalten der Speicher kondensatoren C auf die jeweilige Bitleitung 10, 13 erreichten Bitleitungspotentiale VBL0, VBL1 innerhalb der durch die Referenzspannungen Vref0,

Vref1 vorgegebenen Bereiche liegen oder nicht. Liegen das erste Bitleitungspotential VBL0 zwischen dem Massepotential und dem ersten Referenzspannungspotential VBL0 und das zweite Bitleitungspotential VBL1 zwischen dem zweiten Referenzspannungspotential Vref1 und dem hohen Vorladungspotential VBLH, so wird der Zähler 23 erhöht. Dadurch wird die Auffrischfrequenz vermindert und die Auffrischperiode verlängert. Liegt zumindest einer der beiden Potentiale der Bitleitungen 10, 13 zwischen dem ersten und zweiten Referenzspannungspotential Vref0, Vref1, so haben die jeweiligen ersten und/oder zweiten Dummy-Speicherzellen 9, 12 zu viel Ladung während der Auffrischperiode verloren, so dass durch Vermindern des Teilerfaktors die Auffrischfrequenz erhöht wird und die Auffrischperiode verringert wird.

Optional kann vorgesehen sein, dass unmittelbar nach dem Vorladen der ersten bzw. zweiten Dummy-Speicherzellen 9, 12 und nach Deaktivieren der jeweiligen ersten bzw. zweiten Wortleitung 8, 11 und nach dem Deaktivieren der Vorladungstransistoren die jeweilige gemeinsame Bitleitung 10, 13 auf ein vorgegebenes Mittenpotential vorgeladen wird. D.h. es wird beispielsweise über eine Ladungsausgleichseinrichtung (nicht gezeigt) das Potential der gemeinsamen Bitleitungen 10, 13 vor dem Durchschalten des Auswahltransistors T auf ein Mittenpotential gebracht. Dadurch kann ein definierter Ausgangszustand beim Aufschalten der Dummy-Speicherzellen 9, 12 auf die gemeinsamen Bitleitungen 10, 13 erreicht werden, so dass beim Wiedereinschalten der Auswahltransistoren T ein von den ebenfalls variierenden Leckströmen der gemeinsamen Bitleitungen 10, 13 unabhängiges Bitleitungspotential erreicht wird. Dadurch wird die Messung der Leckströme der Speicherzelle genauer.

Die Steuereinheit 22 generiert abhängig von der jeweiligen aufzufrischenden Wortleitungsadresse WA das erste und zweite Aktivierungssignal DWL0, DWL1, sowie das Vorladungssignal PC. Weiterhin wird durch die Steuereinheit 22 das Torsignal TS

generiert, das einen Zählerimpuls gemäß den Ausgängen der Vergleicherschaltungen 16, 17 zum Vorwärts- bzw. Rückwärtszählen des Zählers 23 bewirkt.

- 5 In Figur 2 ist ein Signal-Zeitdiagramm dargestellt, um die Steuerung der entsprechenden Signale durch die Steuereinheit 22 zu verdeutlichen. Die Steuereinheit 22 detektiert die durch den Auffrischadressszähler 6 erzeugte Wortleitungsadresse WA und bestimmt daraus den eingestellten Auffrischzyklus, indem die Wortleitungsadresse WA mit einem bestimmten vorgegebenen Adresswert, z.B. Adresswert 0, verglichen wird. Jedes Mal, wenn der Auffrischadressszähler 6 die Wortleitungsadresse 0 erreicht, werden das erste und das zweite Aktivierungssignal DWL0, DWL1 zum Aktivieren der Dummy-Wortleitungen 8, 11 generiert.

- Beim Eintreffen einer Wortleitungsadresse 0 werden in einer Vorladungsphase P1 sowohl die Aktivierungssignale DWL0, DWL1 aktiviert, als auch das Vorladungssignal PC, um die Vorladungstransistoren 14, 15 durchzuschalten. Dadurch werden die ersten Dummy-Speicherzellen 9 über die durchgeschalteten Auswahltransistoren T und den durchgeschalteten ersten Vorladungstransistor 14 mit dem Massepotential GND aufgeladen. Auf gleiche Weise werden die zweiten Dummy-Speicherzellen 12 über die jeweiligen Auswahltransistoren T und den zweiten Vorladungstransistor 15 auf das hohe Vorladungspotential VBLH aufgeladen. Anschließend, d.h. im Wesentlichen mit Eintreffen der nächsthöheren Wortleitungsadresse WA werden das Vorladungssignal PC und das erste und das zweite Aktivierungssignal deaktiviert, so dass die Speicherkondensatoren C von den gemeinsamen Bitleitungen 10, 13 getrennt sind.

- Nach einem Auffrischzyklus, d.h. nach dem Eintreffen der nächsten Wortleitungsadresse 0, werden in einer Auslesephase P2 das erste und das zweite Aktivierungssignal DWL0, DWL1 erneut aktiviert, jedoch ohne das Vorladungssignal PC zu aktivieren. Auf diese Weise wird die jeweilige gemeinsame Bitlei-

tung 10, 13 mit den durch die durchgeschalteten Auswahltransistoren T angeschlossenen Speicherkondensatoren C der Dummy-Speicherzellen 9, 12 verbunden. Das Bitleitungspotential VBL0 der ersten gemeinsamen Bitleitung 10 wird also gemäß den in  
5 den ersten Dummy-Speicherzellen 9 gespeicherten nach der Auffrischperiode verbliebenen Ladungen und das Bitleitungspotential VBL1 der zweiten gemeinsamen Bitleitung 13 durch die verbliebenen Ladungen der zweiten Dummy-Speicherzellen 12 bestimmt.

10

In Figur 2 ist im Folgenden nur der Signalverlauf bezüglich der zweiten gemeinsamen Bitleitung 13 dargestellt. Man erkennt, dass mit dem zweiten Aktivieren durch das zweite Aktivierungssignals DWL1 das zweite Bitleitungspotential VBL1 auf  
15 der zweiten gemeinsamen Bitleitung 13 nach dem Aufschalten der Speicherkondensatoren C von dem hohen Vorladungspotential VBLH auf ein niedrigeres Potential abfällt. Da im gezeigten Beispiel das niedrigere Potential unterhalb dem durch die zweite Referenzspannung Vref1 angegebenen Referenzspannungswert liegt, wird am Ausgang des NICHT-UND-Gatters 19 eine logische 1 generiert, das durch das Torsignal TS, das von der Steuereinheit 22 im Wesentlichen abhängig von der nächstfolgenden Wortleitungsadresse WA, in diesem Fall Wortleitungsadresse 1, generiert wird, an den Zähler 23 als Puls-Rückwärts-  
20 Signal weitergegeben wird.

25

Bei der nächsten Wortleitungsadresse von 0 beginnt der gerade beschriebene Zyklus mit der Vorladephase P1 von Neuem, d.h. mit der Wortleitungsadresse 0 werden die ersten und zweiten  
30 Dummy-Speicherzellen 9, 12 auf das Massepotential bzw. das hohe Vorladungspotential VBLH aufgeladen. Das Puls-Rückwärts-Signal bewirkt ein Dekrementieren des in dem Zähler 23 gespeicherten Teilerfaktors, der an den Frequenzteiler 5 weitergegeben wird, und somit die Auffrischperiode verkürzt. Bei  
35 der nächsten Auslesephase P2 ist der Ladungsverlust in den Speicherkondensatoren C daher aufgrund der verkürzten Auffrischperiode geringer, so dass bei einem zweiten Eintreffen

der Wortleitungsadresse 0 die Spannung auf der zweiten gemeinsamen Bitleitung 13 weniger abfällt. Liegt das zweite Bitleitungspotential VBL1 oberhalb des durch das zweite Referenzspannungspotential Vref1 vorgegebenen Wert, so führt dies nicht zu einem Rückwärtszählen des Teilerfaktor in dem Zähler 23, sondern zu einem Vorwärtszählen. Auf diese Weise pendelt der Teilerfaktorwert in dem Zähler 23 bei einem eingeschwungenen Zustand im Wesentlichen vor und zurück und bewegt sich um den für die jeweilige Speicherschaltung optimalen Teilerfaktorwert.

Da die Auffrischschaltung 1 auch die zur Informationsspeicherung benutzten Speicherzellen auffrischt, darf ein leichtes, durch die Erhöhung oder Verminderung des Teilerfaktors um ein Inkrement bewirktes Überschreiten des ersten Referenzspannungspotentials Vref0 oder Unterschreiten des zweiten Referenzspannungspotentials Vref1 nicht zu einem Informationsverlust in den Speicherzellen führen. Die Referenzspannungspotentiale Vref0, Vref1 sind also soweit von dem kritischen Potentialwert, bei dem die Information der Speicherzellen gerade noch gespeichert wird, entfernt, dass durch Änderung des Teilerfaktors um den vorgegebenen Wert, vorzugsweise 1, unter keinen Umständen der kritische Spannungswert erreicht bzw. überschritten wird.

## Patentansprüche

1. Verfahren zum Auffrischen von dynamischen Speicherzellen, die entlang von Wortleitungen und Bitleitungen angeordnet sind, wobei die Speicherzellen abhängig von einem Auffrischsignal mit einer Auffrischfrequenz aufgefrischt werden, indem die Wortleitung aktiviert wird, um die Information in den an der betreffenden Wortleitung angeordneten Speicherzellen zurückzuschreiben,  
dadurch gekennzeichnet, dass  
die Auffrischfrequenz abhängig von dem Ladungsverlust von ersten Dummy-Speicherzellen (9) während einer Auffrischperiode des Auffrischsignals an einer ersten Dummy-Wortleitung (8) und/oder abhängig von dem Ladungsverlust von zweiten Dummy-Speicherzellen (12) während der Auffrischperiode des Auffrischsignals an einer zweiten Dummy-Wortleitung (11) eingestellt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass  
die Auffrischfrequenz erhöht wird, wenn der Ladungsverlust der ersten Dummy-Speicherzellen (9) größer ist als ein bestimmter erster Ladungsbetrag oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen (12) größer ist als ein bestimmter zweiter Ladungsbetrag ist.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass zur Ermittlung, ob der Ladungsverlust der ersten und/oder der zweiten Dummy-Speicherzellen (9, 12) größer ist als ein bestimmter erster und/oder zweiter Ladungsbetrag, folgende Schritte vorgesehen sind:  
Aufladen der Dummy-Speicherzellen (9, 12) auf ein Spannungspotential (GND, VBLH);  
Deaktivieren der entsprechenden Dummy-Wortleitung (8, 11), um die Dummy-Speicherzellen (9, 12) von einer gemeinsamen Bitleitung (10, 13) zu trennen;  
Aufladen der gemeinsamen Bitleitung (10, 13) auf ein Mittenpotential,

Aktivieren der Dummy-Wortleitung (8, 11) nach der Zeitdauer einer Auffrischperiode, um die Dummy-Speicherzellen (9, 12) mit der gemeinsamen Bitleitung (10, 13) zu verbinden; und Vergleichen des auf der Bitleitung nach Aufschalten der Dummy-Speicherzellen (9, 12) befindlichen Potentials mit einem Referenzpotential ( $V_{ref0}$ ,  $V_{ref1}$ ).

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass die Auffrischfrequenz gebildet wird, indem eine Grundfrequenz durch einen einstellbaren Frequenzteiler (5) geteilt wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass ein Teilerfaktor des Frequenzteilers (5) inkrementell erhöht wird, wenn der Ladungsverlust der ersten Dummy-Speicherzellen (9) größer ist als der erste Ladungsbetrag oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen (12) größer ist als der zweite Ladungsbetrag.

6. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass ein Teilerfaktor des Frequenzteilers (5) inkrementell vermindert wird, wenn der Ladungsverlust der ersten Dummy-Speicherzellen (9) geringer ist als der erste Ladungsbetrag oder wenn der Ladungsverlust der zweiten Dummy-Speicherzellen (12) geringer ist als der zweite Ladungsbetrag.

7. Verfahren nach Anspruch 2 bis 6, dadurch gekennzeichnet, dass der erste und/oder zweite Ladungsbetrag so gewählt wird, dass bei einem Überschreiten des entsprechenden Ladungsbetrages die Speicherzellen durch das Auffrischen mit der um ein Inkrement verminderten Teilerbetrag im wesentlichen ihre gespeicherte Informationen beibehalten.

8. Regelschaltung (7) zum Einstellen der Auffrischfrequenz in einer dynamischen Speicherschaltung mit Speicherzellen, die entlang von Wortleitungen und Bitleitungen angeordnet sind, wobei eine Auffrischschaltung (1) vorgesehen ist, um

die Speicherzellen mit einem Auffrischsignal mit einer Auffrischfrequenz aufzufrischen,

dadurch gekennzeichnet, dass

erste Dummy-Speicherzellen (9) an einer ersten Dummy-

5 Wortleitung (8) und zweite Dummy-Speicherzellen (12) an einer zweiten Dummy-Wortleitung (11) angeordnet sind, wobei die

ersten Dummy-Speicherzellen (9) durch Aktivieren der ersten Dummy-Wortleitung (8) mit einer ersten gemeinsamen Bitleitung (10) und wobei die zweiten Dummy-Speicherzellen (12) durch

10 Aktivieren der zweiten Dummy-Wortleitung (11) mit einer zweiten gemeinsamen Bitleitung (13) verbindbar sind, wobei eine Regeleinheit vorgesehen ist, um die Auffrischfrequenz des Auffrischsignals vorzugeben, wobei die Auffrischfrequenz abhängig von einem Ladungsverlust der ersten Dummy-

15 Speicherzellen (9) während einer Auffrischperiode an der ersten Dummy-Wortleitung (8) und/oder abhängig von dem Ladungsverlust der zweiten Dummy-Speicherzellen (12) während der Auffrischperiode an der zweiten Dummy-Wortleitung (11) einstellbar ist.

20

9. Regelschaltung (7) nach Anspruch 8, dadurch gekennzeichnet, dass die Regeleinheit einen Zähler (23) für einen Teilerfaktor aufweist, um die Auffrischfrequenz aus einer Division einer Grundfrequenz durch den Teilerfaktor zu erzeugen.

25

10. Regelschaltung nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass eine Steuereinheit (22) vorgesehen ist, um Aktivierungssignale (DWL0, DWL1) für die erste und zweite Dummy-Wortleitung (8, 11) bereitzustellen, um abhängig von dem

30 jeweiligen Aktivierungssignal (DWL0, DWL1) die Dummy-Speicherzellen (9, 12) mit der jeweiligen gemeinsamen Bitleitung (10, 13) zu verbinden, und um ein Vorladungssignal (PC) bereitzustellen, dass eine Aufladung der ersten gemeinsamen Bitleitung (10) auf ein erstes Potential (GND) und eine Auf-

35 ladung der zweiten gemeinsamen Bitleitung (13) auf ein zweites Potential (VBLH) bewirkt.

11. Regelschaltung nach Anspruch 10, dadurch gekennzeichnet, dass die Steuereinheit (22) so gestaltet ist, um das Aktivieren der jeweiligen Dummy-Wortleitung (8, 11) durch das jeweilige Aktivierungssignal (DWL0, DWL1) und das Aktivieren des Vorladungssignals (PC) abwechselnd nach jeweils einer Auffrischperiode durchzuführen.
- 5

## Zusammenfassung

### Verfahren und Regelschaltung zum Auffrischen von dynamischen Speicherzellen

5

Die Erfindung betrifft ein Verfahren zum Auffrischen von dynamischen Speicherzellen, die entlang von Wortleitungen und Bitleitungen angeordnet sind, wobei die Speicherzellen abhängig von einem Auffrischsignal mit einer Auffrischfrequenz

10

aufgefrischt werden, indem die Wortleitung aktiviert wird, um die Information in den an der betreffenden Wortleitung angeordneten Speicherzellen zurück zu schreiben, wobei die Auffrischfrequenz abhängig von dem Ladungsverlust von ersten

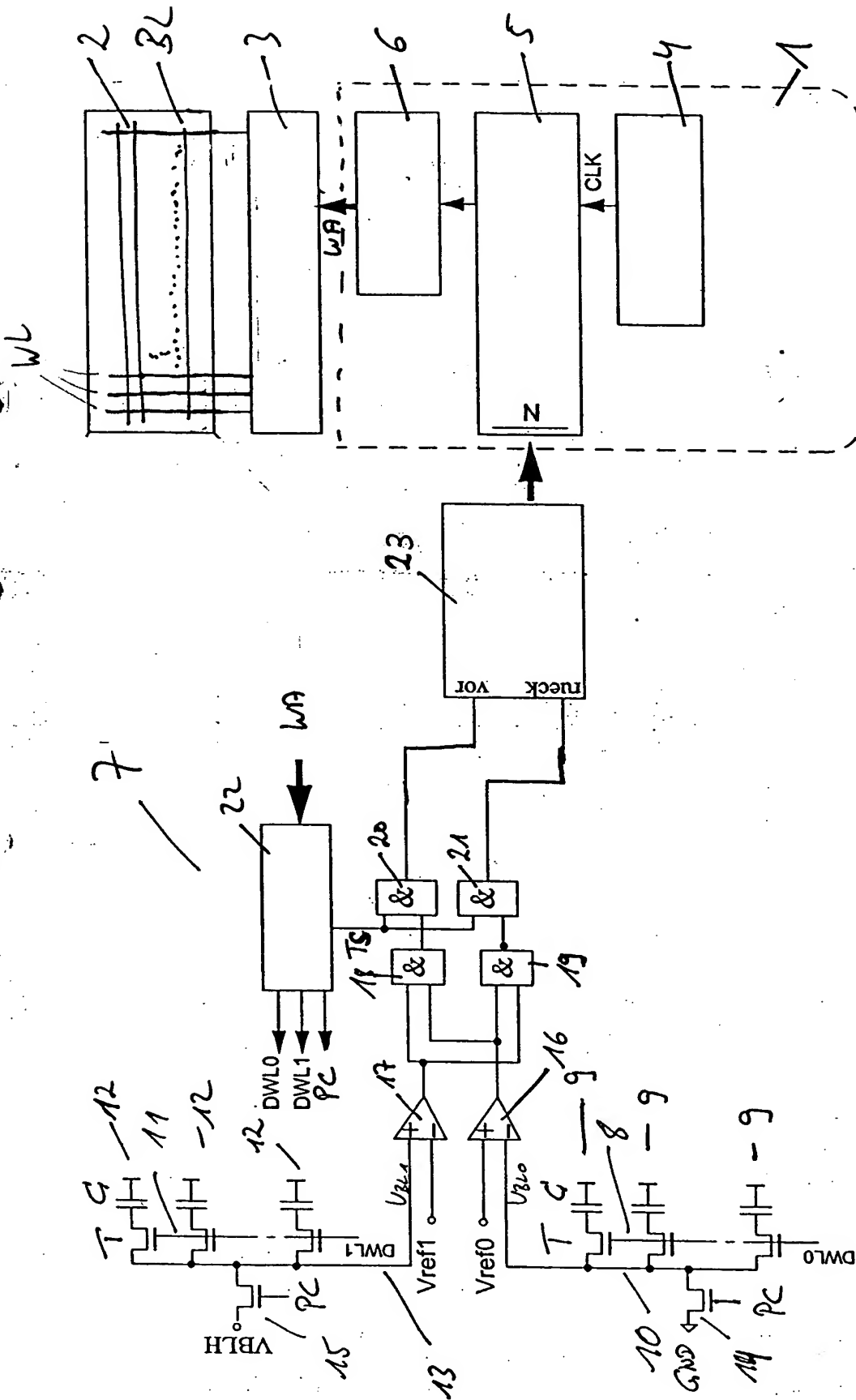
15

Dummy-Speicherzellen während einer Auffrischperiode des Auffrischsignals an einer ersten Dummy-Wortleitung und/oder abhängig von dem Ladungsverlust von zweiten Dummy-Speicherzellen während der Auffrischperiode des Auffrischsignals an einer zweiten Dummy-Wortleitung eingestellt wird

20   Figur 1

Figur für die Zusammenfassung

Fig. 1



## Bezugszeichenliste

|            |                                    |
|------------|------------------------------------|
| 1          | Auffrischschaltung                 |
| 2          | Speicherzellenfeld                 |
| 3          | Wortleitungsdecodierer             |
| 4          | Oszillator                         |
| 5          | Frequenzteiler                     |
| 6          | Auffrisch-Adresszähler             |
| 7          | Steuerschaltung                    |
| 8          | erste Dummy-Wortleitung            |
| 9          | erste Dummy-Speicherzellen         |
| 10         | erste gemeinsame Bitleitung        |
| 11         | zweite Dummy-Wortleitung           |
| 12         | zweite Dummy-Speicherzellen        |
| 13         | zweite gemeinsame Bitleitung       |
| 14         | erster Vorladungstransistor        |
| 15         | zweiter Vorladungstransistor       |
| 16         | erste Vergleicherschaltung         |
| 17         | zweite Vergleicherschaltung        |
| 18         | erstes UND-Gatter                  |
| 19         | NICHT-UND-Gatter                   |
| 20         | zweites UND-Gatter                 |
| 21         | drittes UND-Gatter                 |
| 22         | Steuereinheit                      |
| 23         | Zähler                             |
| DWL0, DWL1 | erstes, zweites Aktivierungssignal |
| VBLH       | hohes Vorladungspotential          |
| GND        | Massepotential                     |
| PC         | Vorladungssignal                   |
| P1         | Vorladephase                       |
| P2         | Auslesephase                       |

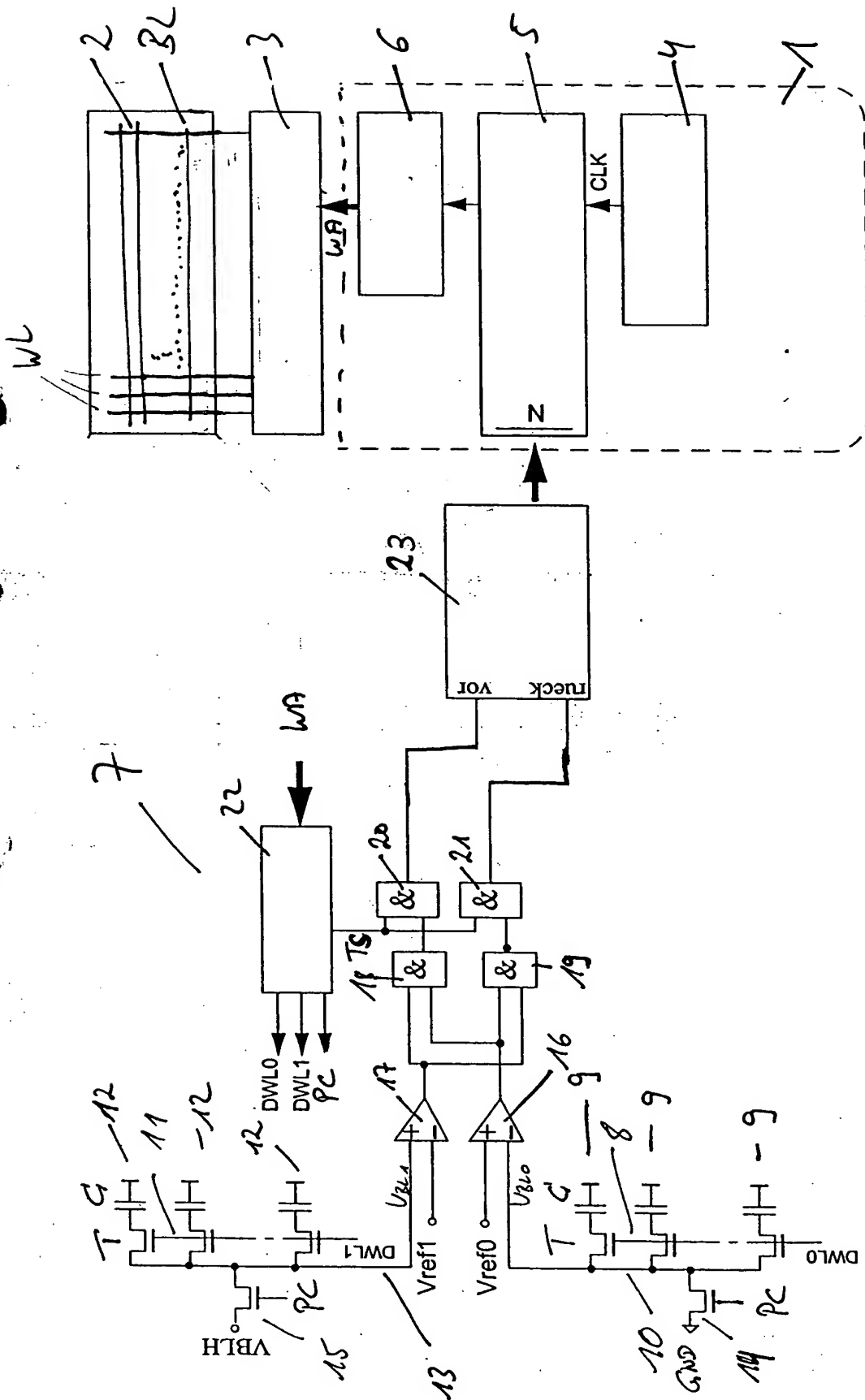


Fig. 1

212

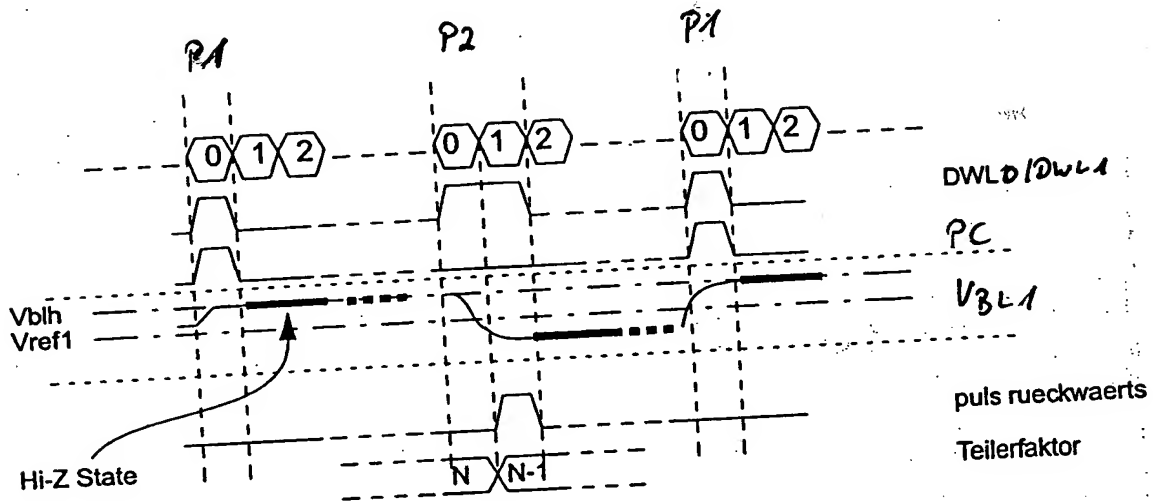


Fig. 2